

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-273610

(43)Date of publication of application : 20.10.1995

(51)Int.Cl.

H03K 3/3562
H03K 3/0231

(21)Application number : 06-084053

(71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 30.03.1994

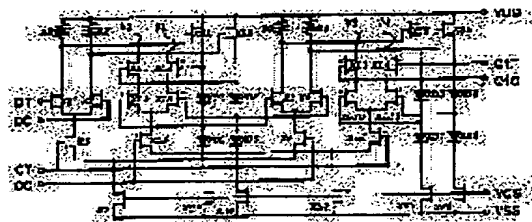
(72)Inventor : OTSUJI TAIICHI

(54) FLIP-FLOP CIRCUIT

(57)Abstract:

PURPOSE: To attain a high speed operation by decreasing a current of a data latch differential logic circuit than a current of a data read differential logic circuit so as to reduce a logical level.

CONSTITUTION: Master and slave read differential pairs (comprising transistors(TRs) X1 and X2, X3 and X4) form respectively differential pairs with TRs X5, X6 in cascade connection and a TR X7 uses a current path in common. On the other hand, latch differential pairs use differential pairs with TRs XL5, XL6 in cascade connection and the TR X7 uses a current path in common. The size of TRs XLn (n=1-11) being components of the latch differential pairs is selected smaller than the size of TRs Xn (n=1-7) being components of the read differential pairs such that for example, the operating current of the latch differential pairs is reduced to nearly a half of the operating current of the read differential amplifier pairs.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 2 7 3 6 1 0

(43) 公開日 平成 7 年 (1995) 10 月 20 日

(51) Int. Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H03K 3/3562

3/0231

H03K 3/356

3/023

C

A

審査請求 未請求 請求項の数 1 F D (全 7 頁)

(21) 出願番号

特願平 6 - 8 4 0 5 3

(22) 出願日

平成 6 年 (1994) 3 月 30 日

(71) 出願人 0 0 0 0 0 4 2 2 6

日本電信電話株式会社

東京都千代田区内幸町一丁目 1 番 6 号

(72) 発明者 尾辻 泰一

東京都千代田区内幸町 1 丁目 1 番 6 号 日

本電信電話株式会社内

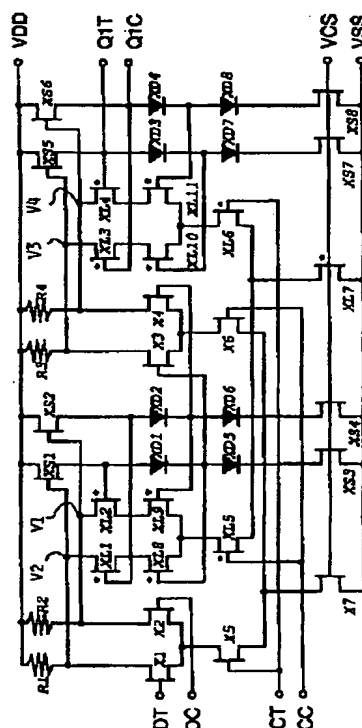
(74) 代理人 弁理士 長尾 常明

(54) 【発明の名称】 フリップフロップ回路

(57) 【要約】

【目的】 高速動作の可能なフリップフロップ回路を得る。

【構成】 データ読み出し用差動論理回路とデータ保持用差動論理回路の電流経路を分離するとともに、データ保持用差動論理回路の電流量をデータ読み出し用差動論理回路のそれより小さく設定し、且つデータ保持用差動論理回路の差動対にソース結合負帰還対を縦続接続した。



【特許請求の範囲】

【請求項 1】 データ読み出し用差動論理回路とデータ保持用差動論理回路とをマスタ側およびスレーブ側において各々有し、クロック信号入力に同期してデータ入力論理値を更新するマスタスレーブ型のフリップフロップにおいて、

上記データ読み出し用差動論理回路と上記データ保持用差動論理回路の電流経路を互いに分離するとともに、上記データ保持用差動論理回路の電流量を上記データ読み出し用差動論理回路のそれより小さく設定し、且つ上記データ保持用差動論理回路の差動対にソース結合又はエミッタ結合の負帰還対を縦続接続したことを特徴とするフリップフロップ回路。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】本発明は、データ読み出し用差動論理回路とデータ保持用差動論理回路とをマスタ側およびスレーブ側において各々有し、クロック信号入力に同期してデータ入力論理値を更新するマスタスレーブ型のフリップフロップ回路に係り、特に一定の繰り返し周波数以上のクロック信号入力に対して動作する高速動作に適したフリップフロップ回路に関するものである。

【 0 0 0 2 】

【従来の技術】クロック信号入力に同期してデータ入力論理値を更新するフリップフロップ回路は、論理回路を構成するうえで不可欠な要素回路として、あらゆる半導体集積回路において使用されている。特に高速動作が必要な用途では、エミッタ結合論理回路（ECL）やソース結合FET論理回路（SCFL）などの論理回路が一般的に用いられる。

【 0 0 0 3 】このような差動型論理回路によるフリップフロップとして考案された代表的な従来の回路構成を図3～図5に示す。この図3～図5中で、 R_n ($n=1\sim 4$)は負荷抵抗、 XT_n ($n=1\sim 17, 20\sim 24$)、 X_n ($n=1\sim 7$)、 XL_n ($n=1\sim 7$)、 XS_n ($n=1\sim 8$)はNchMOSFETトランジスタ、 XD_n ($n=1\sim 4$)はレベルシフト用のダイオード、DTは入力データ信号（正転）、DCは入力データ信号（反転）、CTはクロック信号（正転）、CCはクロック信号（反転）、Q1Tは出力信号（正転）、Q1Cは出力信号（反転）、VCSは電流源用トランジスタの電流を設定するバイアス電圧、VDDは高電位電源電圧、VSSは低電位電源電圧である。

【 0 0 0 4 】まず、図3は最も汎用的ないわゆるマスタスレーブ型フリップフロップ回路である。マスタとなる初段のフリップフロップ（ $XT_{11}\sim XT_{12}$ ）とスレーブとなる次段のフリップフロップ（ $XT_{13}\sim XT_{14}$ ）がクロック信号CT、CCに応じて相反的に動作し、データ信号DT、DCの保持／更新の動作が実現される。

【 0 0 0 5 】この回路では、マスタ側、スレーブ側のそれぞれにおいてデータ読み出し用差動対（ XT_{11} と XT_{12} の差動対、 XT_{13} と XT_{14} の差動対）とデータ保持用差動対（ XT_{15} と XT_{16} の差動対）が、クロック信号CT、CCの入力用の下段のトランジスタ XT_{17} 、 XT_{20} で電流切り替えされる構成となっており、したがって、データ読み出し用差動対とデータ保持用差動対のおおのの能動状態における電流量とは互いに等しくならざるを得ない。

【 0 0 0 6 】これに対して、図4に示すフリップフロップ回路では、データ読み出し用差動対（ XL_1 と XL_2 の差動対、 XL_3 と XL_4 の差動対）のそれぞれがクロック信号CT、CC入力用のトランジスタ X_5 、 X_6 、 XL_5 、 XL_6 を介してトランジスタ X_7 、 XL_7 により、マスタ側とスレーブ側との間で電流切り替えを行なう構成となっている。

【 0 0 0 7 】これによって、データ読み出し用差動対とデータ保持用差動対のおおのの能動状態における電流量を個別に調整できるため、データ保持用差動対の電流量を必要最小限に絞ることによって、動作速度の向上が実現できる。この図4では、データ保持用差動論理回路を構成するトランジスタ XL_n ($n=1\sim 7$)を電流量の小さい小サイズトランジスタとしている。

【 0 0 0 8 】ただし、この図4に示すフリップフロップ回路では、データ保持用差動対の電流量の削減に伴って、データ保持時間が縮小し、一定のクロック周波数以下では動作しない、いわゆるダイナミック動作となる。

【 0 0 0 9 】このダイナミック動作を前提とした代表的な回路構成が、図5に示すクロックドインバータ型のフリップフロップ回路である。この回路は、クロック制御付き差動型インバータ回路を2段縦続接続しており、両インバータのクロック入力を相補的に行なうことで、フリップフロップと等価な動作を実現できる。丁度、図3のマスタスレーブ型フリップフロップ回路のマスタ側、スレーブ側のデータ保持用差動対を除去した構成となっている。

【 0 0 1 0 】この図5に示すフリップフロップ回路では、データ保持時間はデータ信号のループ遅延時間程度に制約されていわゆるダイナミック動作となるものの、負荷抵抗 R_n ($n=1\sim 4$)の出力ノードに付加されるトランジスタの寄生容量が図3のフリップフロップ回路に比べて半減されるため、その分、高速動作が可能であり、各種の回路構成のなかで最も高速動作に適した回路構成とされている。

【 0 0 1 1 】

【発明が解決しようとする課題】しかしながら、さらなる高速化を実現する回路構成は他になく、図5の回路において、トランジスタのスイッチング速度が最速となる

ようなトランジスタのバイアス条件や信号振幅を設計するにとどまっていた。動作速度を向上するためには、論理ロー（低電位）／ハイ（高電位）レベル間の波形遷移時間の短縮化が不可欠であり、そのためには信号スルーレート（単位時間当たりの電圧レベルの変化量）の向上、もしくは信号論理振幅の低減が必要である。

【 0 0 1 2 】ところが、従来回路構成を前提とする限りにおいては、信号スルーレートはトランジスタのゲート幅と相関があり、寄生容量と駆動力のトレードオフによってスルーレートが最高となるトランジスタサイズ、したがって信号振幅が存在し、信号振幅がそれより低減するとスルーレートの劣化をきたし波形遷移時間は逆に増大してしまう。したがって、信号スルーレートを改善もしくは維持しながら、論理振幅のさらなる低減化を図ることができなかった。

【 0 0 1 3 】以上のように、従来のフリップフロップ回路においては、動作速度のさらなる向上に不可欠な信号スルーレートを改善もしくは維持しながら論理振幅を低減することが困難であった。

【 0 0 1 4 】本発明の目的は、上記した問題を解決して信号スルーレートを劣化させることなく論理振幅を低減させ、もってより高速動作が可能となったフリップフロップ回路を提供することである。

【 0 0 1 5 】

【課題を解決するための手段】上記した本発明の目的は、データ読み出し用差動論理回路とデータ保持用差動論理回路とをマスタ側およびスレーブ側において各々有し、クロック信号入力に同期してデータ入力論理値を更新するマスタスレーブ型のフリップフロップにおいて、上記データ読み出し用差動論理回路と上記データ保持用差動論理回路の電流経路を互いに分離するとともに、上記データ保持用差動論理回路の電流量を上記データ読み出し用差動論理回路のそれより小さく設定し、且つ上記データ保持用差動論理回路の差動対にソース結合又はエミッタ結合の負帰還対を縦続接続したことを特徴とするフリップフロップ回路によって達成される。

【 0 0 1 6 】

【作用】本発明では、データ読み出し用差動論理回路とデータ保持用差動論理回路の電流経路を互いに分離するとともに、データ保持用差動論理回路の電流量をデータ読み出し用差動論理回路のそれより小さく設定することによって、読み出し動作時と保持動作時の論理振幅に格差を生ぜしめている。

【 0 0 1 7 】そして、データ保持用差動論理回路の差動対にソース結合又はエミッタ結合の負帰還対を縦続接続することによって、保持動作の開始とともに保持用差動対のドレイン電位がデータ入力に応じて論理ローレベル又はハイレベルに移行しはじめるが、これと同時にソース結合又はエミッタ結合の負帰還対の負帰還作用によって両ドレイン電位を急峻に且つ強制的に論理中間レベル

に吸引せしめることが行なわれる。

【 0 0 1 8 】これによって、スレーブ側のフリップフロップでは読み出し用差動論理回路の論理中間レベルが実効的な論理ローレベル、保持用差動論理回路の中間レベルが実効的な論理ハイレベルとなり、本来の論理振幅より小さい振幅で動作が実現できる。

【 0 0 1 9 】加えて、本論理振幅の低減効果は、ソース結合又はエミッタ結合の負帰還対の負帰還作用によって、電流駆動力を低下させることなく得られるので、信号スルーレートの劣化を生じることがない。従って、信号スルーレートを劣化させることなく、従来以上に論理振幅を低減できるので、より高速な動作が可能となるのである。

【 0 0 2 0 】

【実施例】図 1 は本発明の一実施例のフリップフロップ回路の回路図である。ここでは、NchMOSFETトランジスタによる回路構成を示している。トランジスタ X 1、X 2、X 5、X 7 でマスタ側の読み出し用差動論理回路が、X 3、X 4、X 6、X 7 でスレーブ側の読み出し用差動論理回路が各々構成されている。電流源トランジスタ X 7 は共通である。

【 0 0 2 1 】トランジスタ X L 1、X L 2、X L 5、X L 7 がマスタ側の本来の保持用差動論理回路を構成するが、トランジスタ X L 1、X L 2 のソース端子とトランジスタ X L 5 のドレイン端子との間にトランジスタ X L 8、X L 9 によるソース結合負帰還対がカスコード（縦続）接続され、これらにより保持用差動論理回路が構成されている。X D 5、X D 6 はレベルシフト用ダイオードである。

【 0 0 2 2 】同様に、トランジスタ X L 3、X L 4、X L 6、X L 7 がスレーブ側の本来の保持用差動論理回路を構成するが、トランジスタ X L 3、X L 4 のソース端子とトランジスタ X L 6 のドレイン端子との間にトランジスタ X L 1 0、X L 1 1 によるソース結合負帰還対がカスコード接続され、これらにより保持用差動論理回路が構成されている。X D 7、X D 8 はレベルシフト用ダイオードである。そして電流源トランジスタ X L 7 はマスタ側、スレーブ側で共通である。

【 0 0 2 3 】以上のように、ソース結合負帰還対（X L 8、X L 9、X L 1 0、X L 1 1）をカスコード接続した点とダイオード X D 5、X D 6、X D 7、X D 8 を設けた点が従来の図 4 に示した回路との相違点である。

【 0 0 2 4 】ここで、改めて、ソース結合負帰還対を含む差動対（X L 1、X L 2、X L 8、X L 9 の差動対）をマスタ側の保持用差動対と呼び、（X L 3、X L 4、X L 1 0、X L 1 1 の差動対）をスレーブ側の保持用差動対と呼ぶことにする。

【 0 0 2 5 】さて、マスタ側とスレーブ側の読み出し用差動対（X 1 と X 2、X 3 と X 4）が、トランジスタ X 5 と X 6 によって縦続的に差動対を形成し、トランジス

タX7によって電流経路を共通化している。一方、それら、この読み出し用差動対から独立して、上記したマスタ側とスレーブ側の保持用差動対がトランジスタXL5とXL6によって縦続的に差動対を構成し、トランジスタXL7によって電流経路を共通化している。

【0026】ここで、保持用差動対を構成するトランジスタXLn (n=1~11)のサイズは読み出し用差動対を構成するトランジスタXn (n=1~7)のそれより小さく、例えば、読み出し側差動対の動作電流量の1/2程度に低減している。マスタ側保持用差動対の出力とスレーブ側保持用差動対の出力には、従来構成(図4)と同様にソースフォロワトランジスタXS1、XS2、XS5、XS6を設置している。

【0027】次に、図1のフリップフロップ回路の動作原理を図2に示したタイムチャートを用いて説明する。この図2では、回路動作が容易に理解できるように正常動作域より低いクロック周波数における動作波形を示している。

【0028】入力クロック信号CTがローからハイに遷移すると、トランジスタX5により、マスタ側の読み出し用差動対(X1とX2)がアクティブになり、マスタ側のドレイン出力電位V1、V2は入力データDT、DCに応じて相補的にハイレベルもしくはローレベルに遷移する。

【0029】次に、クロック信号CTがハイからローに遷移する(入力クロック信号CCがローからハイに遷移する)と、トランジスタXL5により、マスタ側の保持用差動対(XL1、XL2、XL8、XL9)がアクティブになり、ドレイン出力電位V1、V2は、トランジスタXS1、XS2を介して制御されるトランジスタXL1、XL2の正帰還作用によりその電位を保持する傾向を強めるが、ソース結合負帰還対(XL8、XL9)の負帰還作用によって、ともに保持用差動対の論理中央レベルに吸引される。

【0030】保持用差動対の動作電流量は上述したように読み出し用差動対の動作電流量より小さいため、保持用差動対の論理中央レベルは読み出し用差動対のそれより高電位になっていることに注意されたい。

【0031】そして、続くクロック周期では、入力データ信号DTが反転しており、クロック信号CTがローからハイに遷移すると、直前の読み出し周期とは逆極性でハイレベルもしくはローレベルに遷移する。

【0032】マスタ側フリップフロップのドレイン出力端子(V1、V2)ではこのように入力データ信号DTに応じた読み出し用論理ロー/ハイレベルと、保持用論理中央レベルとの遷移を繰り返す。

【0033】一方、スレーブ側フリップフロップの読み出し用差動対(X3、X4)がアクティブのときには、マスタ側フリップフロップの保持用差動対(XL1、XL2、XL8、XL9)がアクティブになっている。よ

って、このとき、スレーブ側フリップフロップのドレイン出力電位V3、V4は、ともに読み出し用差動対(X3、X4)の論理中央レベルに吸引される。

【0034】他方、スレーブ側フリップフロップの保持用差動対(XL3、XL4、XL10、XL11)がアクティブのときには、ソース結合帰還対XL10、XL11の作用によって、ドレイン出力電位V3、V4はともに保持用差動対(XL3、XL4、XL10、XL11)の論理中央レベルに吸引される。

【0035】したがって、スレーブ側フリップフロップのドレイン出力電位V3、V4は、読み出し用差動対(X3、X4)の論理中央レベルと保持用差動対(XL3、XL4、XL10、XL11)の論理中央レベルとの遷移を繰り返す。

【0036】このスレーブ側フリップフロップの読み出し用差動対の論理中央レベルと保持用差動対の論理中央レベルとの電位差が、本フリップフロップの実効的な論理振幅となり、ソース結合帰還対を用いない従来構成(図4)での本来の論理振幅に比べて、その論理振幅を小さくすることができるのである。

【0037】このスレーブ側フリップフロップの読み出し用差動対の論理中央レベルと保持用差動対の論理中央レベルとの遷移領域では、ドレイン出力電位V3、V4の間で遷移タイミングに若干のズレが以下の理由によって生じる。

【0038】すなわち、スレーブ側フリップフロップの読み出し用差動対がアクティブになろうとする時には、丁度マスタ側フリップフロップの保持用差動対もアクティブになろうとしているので、マスタ側フリップフロップのドレイン出力電位V1、V2にはデータ入力によって決まる読み出し用差動対の論理ロー/ハイレベル情報がまだ残っている(図2に矢印Aで示した。)

【0039】よって、スレーブ側フリップフロップの読み出し用差動対がアクティブになりはじめた時点では、ドレイン出力電位V3、V4はおのおの論理ロー/ハイレベルへ遷移を開始する。その後、マスタ側フリップフロップの保持側差動対が完全なアクティブに移行するにつれて、急激にドレイン出力電位V3、V4はともに読み出し用差動対の論理中央レベルに吸引される。

【0040】その結果、ドレイン出力電位V3、V4にはマスタ側フリップフロップの保持用差動対からスレーブ側読み出し用差動対への動作移行期間にデータ入力情報が現れるのである。

【0041】かかる動作移行期間におけるドレイン出力電位V3の遷移速度は、ドレイン端子での電荷蓄積を放電する速度、したがって読み出し用差動対の電流駆動力で決まり、ドレイン出力電位V4の遷移速度はソース結合負帰還対による負帰還作用の速度で決まる。電流駆動力を落すことなく実効的な論理振幅を低減できるため、高速動作が可能となるのである。

【0042】それと同様の現象が、スレーブ側フリップフロップの保持用差動対がアクティブになろうとする時にも生じる。すなわち、スレーブ側フリップフロップの保持用差動対がアクティブになろうとする時には、丁度マスタ側フリップフロップの読み出し用差動対もアクティブになろうとしているので、マスタ側フリップフロップのドレイン出力電位 V_1 、 V_2 にはデータ入力によって決まる読み出し用差動対の論理ロー／ハイレベル情報が現れ始める(図2に矢印Bで示す。)

【0043】よって、スレーブ側フリップフロップの保持用差動対がアクティブになりはじめた時点では、ドレイン出力電位 V_3 、 V_4 は各々論理ロー／ハイレベルへ遷移を開始する。その後、スレーブ側フリップフロップの保持側差動対が完全なアクティブに移行するにつれて急激にドレイン出力電位 V_3 、 V_4 はともに保持用差動対の論理中央レベルに吸引される。

【0044】その結果、ドレイン出力電位 V_3 、 V_4 にはスレーブ側フリップフロップの読み出し用差動対から保持用差動対への動作移行期間にもデータ入力情報が現れるのである。

【0045】かかる動作移行期間におけるドレイン出力電位 V_3 の遷移速度は、ソース結合負帰還対による負帰還作用の速度で決まり、ドレイン出力電位 V_4 の遷移速度はドレイン端子での電荷蓄積を放電する速度、従って読み出し用差動対の電流駆動力で決まる。電流駆動力を落すことなく実効的な論理振幅を低減できるため、高速動作が可能となるのである。

【0046】以上の説明では、クロック周波数が十分低い場合であったので、ドレイン出力電位 V_3 、 V_4 には論理中央レベルが生じている。クロック周波数が向上するにつれて、論理中央レベルの間が狭まり、やがて、論理中央レベルへ移行しないうちに次の遷移動作が生じるまでになる。ここからが、本フリップフロップ回路の正常動作領域である。その後、ドレイン出力電位の遷移速度で追従できなくなるクロック周波数が正常動作領域の上限となり、その両者の間のクロック周波数領域におい

て正常動作が可能となる。

【0047】同一性能のトランジスタを用いた場合、従来構成のクロックドインバータ型ダイナミックフリップフロップ回路(図5)に比べて、25%~30%程度的高速化が実現できる。

【0048】なお、上記実施例では、電界効果型トランジスタ(FET)による回路構成を用いて説明したが、バイポーラトランジスタを用いても同様の効果が得られることは勿論である。このときは、ソース結合負帰還対はエミッタ結合負帰還対となる。

【0049】

【発明の効果】以上の説明から明らかなように、本発明によれば、信号スループートを劣化させることなく、従来以上に論理振幅を低減することができ、より高速動作が可能なるフリップフロップ回路を実現できる。

【図面の簡単な説明】

【図1】 本発明の一実施例のフリップフロップ回路の回路図である。

【図2】 本実施例のフリップフロップ回路の動作のタイムチャートである。

【図3】 従来のフリップフロップ回路の回路図である。

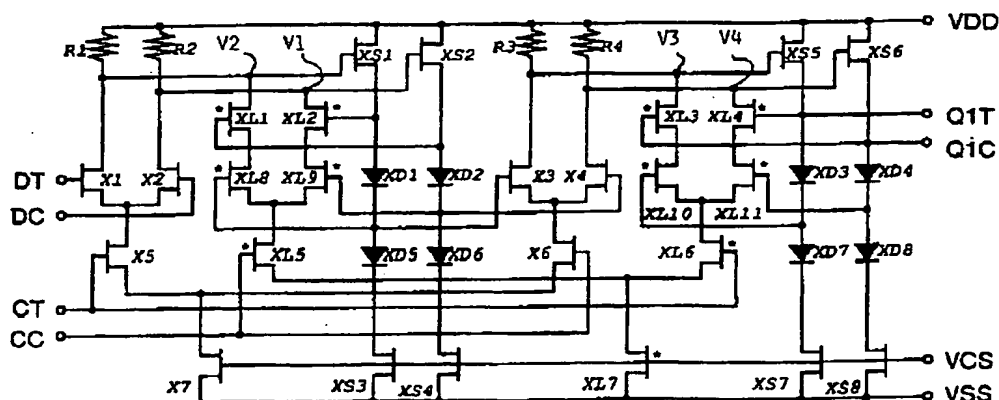
【図4】 従来の別の例のフリップフロップ回路の回路図である。

【図5】 従来のさらなる別の例のフリップフロップ回路の回路図である。

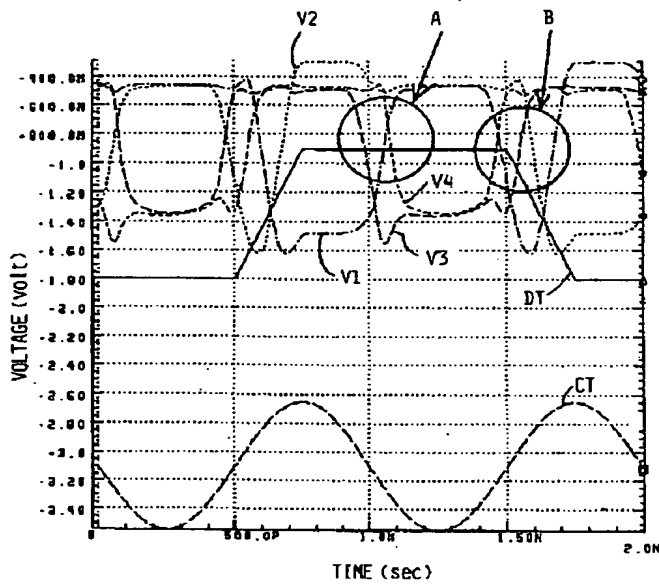
【符号の説明】

X_n ($n=1\sim7$): トランジスタ、 XL_n ($n=1\sim11$): 小サイズトランジスタ、 XS_n ($n=1\sim8$): トランジスタ、 DX_n ($n=1\sim8$): ダイオード、 DT : 入力データ信号(正転)、 DC : 入力データ信号(反転)、 CT : クロック信号(正転)、 CC : クロック信号(反転)、 $Q1T$: 出力信号(正転)、 $Q1C$: 出力信号(反転)、 V_n ($n=1\sim4$): ドレイン電圧、 VCS : バイアス電圧、 VDD : 高電位電源電圧、 VSS : 低電位電源電圧。

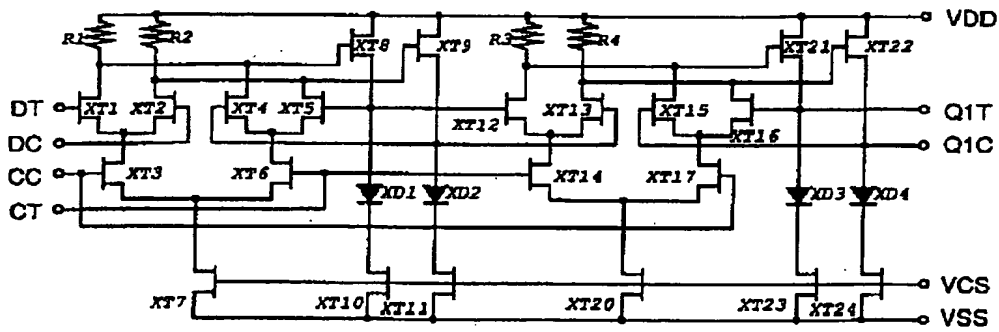
【図1】



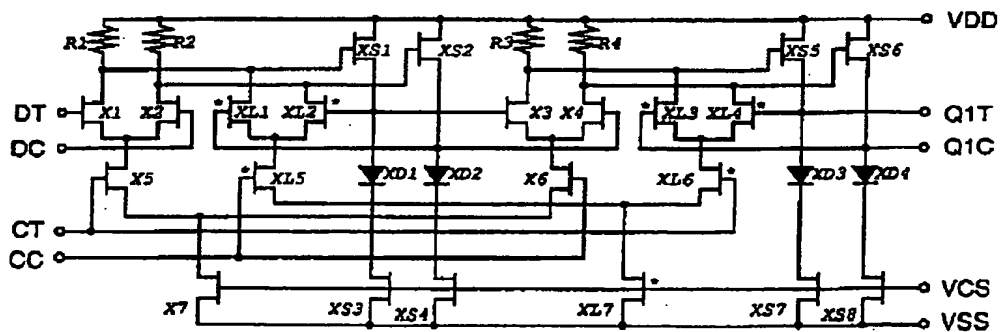
【図 2】



【図 3】



【図 4】



【図 5】

